

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-289660

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 0 H 1/00	C	7406-5H		
		8622-5H		
G 1 0 K 15/12		7227-5H	G 1 0 K 15/ 00	B

審査請求 未請求 請求項の数8(全11頁)

(21)出願番号 特願平4-85262

(22)出願日 平成4年(1992)4月7日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 金子 洋二

東京都羽村市栄町3丁目2番1号 カシオ

計算機株式会社羽村技術センター内

(74)代理人 弁理士 大曾 義之

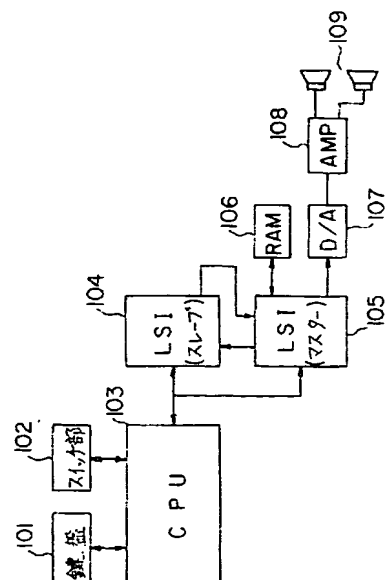
(54)【発明の名称】 効果付加装置を内蔵した音源集積回路およびそれを用いた音源装置

(57)【要約】

【目的】 効果付加用のDSPを内蔵する音源LSIを含む複数チップの音源LSIを使用してシステムを構成する場合に、外付けされるディレイ用RAMやD/A変換器などの部品を極力減らすことを目的とする。

【構成】 マスター用とスレーブ用の各音源LSI104、105において、楽音信号発生器からの16発音チャンネルの時分割楽音信号が、1チャンネルの楽音信号毎に4つの異なるグループに分けられて、それぞれ異なる係数で重み付けられ、累算される。スレーブ用音源LSI104で得られた4種類の累算出力は、マスター用音源LSI105に転送され、そこで、マスター自身によって得られた各累算出力と加算される。その加算結果は、マスター用音源LSI内105のDSPで、外付けのRAM106をディレイ用メモリとして効果付加処理が施された後、D/A変換器107へ出力される。

本発明の実施例の全体構成図



【特許請求の範囲】

【請求項 1】 効果付加装置を内蔵した音源集積回路において、

楽音信号を生成する楽音信号生成手段と、
外部から入力される楽音信号を入力する入力手段と、
前記楽音信号生成手段で生成された楽音信号と、外部から前記入力手段を介して入力される楽音信号とを混合する混合手段と、
該混合手段の出力に対して音響効果を付加する効果付加手段と、
該効果付加手段から得られる楽音信号を外部に出力する第 1 の出力手段と、
を有することを特徴とする効果付加装置を内蔵した音源集積回路。

【請求項 2】 効果付加装置を内蔵した音源集積回路において、

楽音信号を生成する楽音信号生成手段と、
外部から入力される楽音信号を入力する入力手段と、
前記楽音信号生成手段で生成された楽音信号と、他の音源集積回路から前記入力手段を介して入力される楽音信号とを混合する混合手段と、
該混合手段の出力に対して音響効果を付加する効果付加手段と、
該効果付加手段から得られる楽音信号を外部に出力する第 1 の出力手段と、
前記混合手段の出力を外部に出力する第 2 の出力手段と、
を有することを特徴とする効果付加装置を内蔵した音源集積回路。

【請求項 3】 楽音信号を生成する楽音信号生成手段と、外部から入力される楽音信号を入力する入力手段と、前記楽音信号生成手段で生成された楽音信号と、他の音源集積回路から前記入力手段を介して入力される楽音信号とを混合する混合手段と、該混合手段の出力に対して音響効果を付加する効果付加手段と、該効果付加手段から得られる楽音信号を外部に出力する第 1 の出力手段と、前記混合手段の出力を外部に出力する第 2 の出力手段と、をそれぞれ有する複数個の音源集積回路が、前記第 2 の出力手段と前記入力手段によって相互に縦続に接続され、
該縦続に接続された前記各音源集積回路のうち、末端に接続された音源集積回路の前記第 1 の出力手段が出力楽音信号を出力する、
ことを特徴とする音源装置。

【請求項 4】 効果付加装置を内蔵した音源集積回路において、
複数の時分割された楽音信号を生成する楽音信号生成手段と、
外部から入力される複数のグループに分配された楽音信号を入力する入力手段と、

前記楽音信号生成手段で生成された複数の時分割された楽音信号を前記複数のグループに分配する分配手段と、
該分配手段で前記複数のグループに分配された楽音信号と、外部から前記入力手段を介して入力される前記複数のグループに分配された楽音信号とを、前記各グループ毎に混合する混合手段と、
該混合手段の前記複数のグループ毎の出力に対して音響効果を付加する効果付加手段と、
該効果付加手段から得られる楽音信号を外部に出力する第 1 の出力手段と、
を有することを特徴とする効果付加装置を内蔵した音源集積回路。

【請求項 5】 効果付加装置を内蔵した音源集積回路において、
複数の時分割された楽音信号を生成する楽音信号生成手段と、
外部から入力される複数のグループに分配された楽音信号を入力する入力手段と、
前記楽音信号生成手段で生成された複数の時分割された楽音信号を前記複数のグループに分配する分配手段と、
該分配手段で前記複数のグループに分配された楽音信号と、他の音源集積回路から前記入力手段を介して入力される前記複数のグループに分配された楽音信号とを、前記各グループ毎に混合する混合手段と、
該混合手段の前記複数のグループ毎の出力に対して音響効果を付加する効果付加手段と、
該効果付加手段から得られる楽音信号を外部に出力する第 1 の出力手段と、
前記混合手段の前記複数のグループ毎の出力を外部に出力する第 2 の出力手段と、
を有することを特徴とする効果付加装置を内蔵した音源集積回路。

【請求項 6】 複数の時分割された楽音信号を生成する楽音信号生成手段と、外部から入力される複数のグループに分配された楽音信号を入力する入力手段と、前記楽音信号生成手段で生成された複数の時分割された楽音信号を前記複数のグループに分配する分配手段と、該分配手段で前記複数のグループに分配された楽音信号と、他の音源集積回路から前記入力手段を介して入力される前記複数のグループに分配された楽音信号とを、前記各グループ毎に混合する混合手段と、該混合手段の前記複数のグループ毎の出力に対して音響効果を付加する効果付加手段と、該効果付加手段から得られる楽音信号を外部に出力する第 1 の出力手段と、前記混合手段の前記複数のグループ毎の出力を外部に出力する第 2 の出力手段と、をそれぞれ有する複数個の音源集積回路が、前記第 2 の出力手段と前記入力手段によって相互に縦続に接続され、
該縦続に接続された前記各音源集積回路のうち、末端に接続された音源集積回路の前記第 1 の出力手段が出力楽

音信号を出力する。

ことを特徴とする音源装置。

【請求項7】 前記入力手段は、外部からシリアルデータ形式で入力される楽音信号を入力して自集積回路内で使用されるパラレルデータ形式に変換するシリバルーパラレル変換手段を有する。

ことを特徴とする請求項1乃至6の何れか1項に記載の効果付加装置を内蔵した音源集積回路またはそれを用いた音源装置。

【請求項8】 前記第2の出力手段は、混合手段のパラレルデータ形式の出力をシリアルデータ形式に変換して外部に出力するパラレルーシリアル変換手段を有する、ことを特徴とする請求項7に記載の効果付加装置を内蔵した音源集積回路またはそれを用いた音源装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子楽器等における楽音を発生するための、効果付加装置を内蔵した音源集積回路およびそれを用いた音源装置に関する。

【0002】

【従来の技術】近年、LSI技術の飛躍的な向上により1チップのLSI内に複数の機能を持たせることが可能となり、例えば電子楽器の場合、1チップの音源LSI中に、エフェクタ用のデジタル信号処理装置(DSP: digital signal processor)などを内蔵させることが行われている。

【0003】その結果、例えば高品質なリバーブなどのエフェクタが、低価格の普及システムでも実現されるようになった。図8は、音源LSIを1チップ使用した、従来の電子鍵盤楽器の全体構成図である。

【0004】図8において、CPU(中央演算制御装置)803が、鍵盤801、スイッチ部802の状態を走査し、それらの走査結果に基づいて、音源LSI804の発音を制御する。音源LSI804は、CPU803の命令により楽音信号を生成し、RAM(Random Access Memory)805をタイムディレイ用メモリとして、上記楽音信号にエフェクト処理を施し、その結果得られるデジタルの楽音信号をD/A変換器806に出力する。D/A変換器806は、そのデジタル楽音信号をアナログ信号に変換し、それに基づく楽音がアンプ807を介してスピーカ808から放音される。

【0005】つぎに、図9は高級システムにおいて音色やポリフォニック数などについて普及システムと差別化を図るために、音源LSIを2チップ使用した、従来の電子鍵盤楽器の全体構成図である。

【0006】図9の構成および動作は、音源LSI904、905によって発生された楽音に、エフェクト処理が施される箇所が2箇所になっている点のみが異なり、他の点は図8の場合と同じである。エフェクト処理が施され、2つのD/A変換器907、909から出力され

た楽音信号は、アンプ910で混合され、スピーカ911から楽音として放音される。

【0007】

【発明が解決しようとする課題】以上のように、音源LSIを複数チップ使用すると、それぞれのLSIが別個にエフェクト処理を行うことになるため、音源LSI内のエフェクト処理用のDSPに対応して、ディレイ用RAMやD/A変換器などの部品が音源LSIの数だけ必要になる。そのため、システム全体が大きくなり、またコストアップをまねき、音源LSIを数多く使用するのに問題があった。

【0008】本発明の課題は、効果付加用のDSPなどを内蔵する音源LSIを含む複数チップの音源LSIを使用してシステムを構成する場合に、外付けされるディレイ用RAMやD/A変換器などの部品を極力減らすことにある。

【0009】

【課題を解決するための手段】本発明の第1の態様は、効果付加装置を内蔵した音源集積回路として、以下のよう

20

な構成を有する。
【0010】まず、楽音信号を生成する楽音信号生成手段を有する。この手段は、PCM音源方式、周波数変調音源方式、位相変調音源方式、倍音加算音源方式などに基づいて楽音信号を生成する。

【0011】つぎに、外部から入力される楽音信号を入力する入力手段を有する。この手段は、例えば外部からシリアルデータ形式で入力される楽音信号を入力して自集積回路内で使用されるパラレルデータ形式に変換するシリバルーパラレル変換手段を有する。

30

【0012】また、楽音信号生成手段で生成された楽音信号と、外部から入力手段を介して入力される楽音信号とを混合する混合手段を有する。さらに、混合手段の出力に対してコーラス効果、リバーブ効果などの音響効果を付加する効果付加手段を有する。この手段は、例えば音源集積回路内に配置されるデジタル信号処理装置によって実現される。

【0013】そして、効果付加手段から得られる楽音信号を外部のD/A変換器などに出力する第1の出力手段を有する。本発明の第2の態様は、効果付加装置を内蔵した音源集積回路として、以下のような構成を有する。

40

【0014】まず、本発明の第1の態様の場合と同様の楽音信号生成手段、入力手段、混合手段、効果付加手段、および第1の出力手段を有する。つぎに、混合手段の出力を外部に出力する第2の出力手段を有する。この手段は、例えば混合手段のパラレルデータ形式の出力をシリアルデータ形式に変換して外部に出力するパラレルーシリアル変換手段を有する。

【0015】本発明の第3の態様は、音源装置として、以下のような構成を有する。まず、それぞれが本発明の第2の態様で示される複数個の音源集積回路が、前述し

50

た本発明の第2の態様における第2の出力手段と入力手段によって相互に縦続に接続される構成を有する。

【0016】そして、縦続に接続された各音源集積回路のうち、末端に接続された音源集積回路の第1の出力手段が出力楽音信号を出力するように構成される。本発明の第4の態様は、効果付加装置を内蔵した音源集積回路として、以下のような構成を有する。

【0017】複数の時分割された楽音信号を生成する楽音信号生成手段を有する。この手段は、本発明の第1の態様の場合と同様の種々の音源方式で、例えば16音ポリフォニックの楽音信号を生成する。

【0018】つぎに、外部から入力される複数のグループに分配された楽音信号を入力する入力手段を有する。この手段は、例えば左チャンネル信号、右チャンネル信号、第1エフェクト信号、第2エフェクト信号の4つのグループなどに分配して累算された楽音信号を入力する。このとき、本発明の第1の態様の場合と同様、この手段は、例えば外部からシリアルデータ形式で順次入力される上記各楽音信号を入力して自集積回路内で使用されるパラレルデータ形式に変換するシリバルーパラレル変換手段を有する。

【0019】つぎに、自集積回路内の楽音信号生成手段で生成された複数の時分割された楽音信号を上述した複数のグループに分配する分配手段を有する。この手段は、サンプリング区間毎に、各時分割チャンネルの楽音信号にそれぞれ各グループに対応した係数を乗算し、各乗算結果を各グループ毎に累算する。

【0020】また、分配手段で複数のグループに分配された楽音信号と、外部から入力手段を介して入力される複数のグループに分配された楽音信号とを、各グループ毎に混合する混合手段を有する。

【0021】さらに、混合手段の複数のグループ毎の出力に対して音響効果を付加する効果付加手段を有する。この手段は、例えば前述した第1エフェクト信号、第2エフェクト信号に対して、それぞれ別特性のコラス効果、リバース効果などを付加し、その結果得られる2系統の信号を前述した左チャンネル信号、右チャンネル信号にそれぞれ加算して、2系統のステレオの楽音信号を生成する。この手段は、本発明の第1の態様の場合と同様、例えば音源集積回路内に配置されるデジタル信号処理装置によって実現される。

【0022】そして、効果付加手段から得られる楽音信号を外部に出力する第1の出力手段を有する。この手段は、例えば上述の2系統のステレオの楽音信号を外部のD/A変換器などに出力する。

【0023】本発明の第5の態様は、効果付加装置を内蔵した音源集積回路として、以下のような構成を有する。まず、本発明の第4の態様の場合と同様の楽音信号生成手段、入力手段、分配手段、混合手段、効果付加手段、および第1の出力手段を有する。

【0024】つぎに、混合手段の複数のグループ毎の出力を外部に出力する第2の出力手段を有する。この手段は、本発明の第2の態様の場合と同様、例えば混合手段のパラレルデータ形式の各グループ毎の出力をそれぞれシリアルデータ形式に変換して順次外部に出力するパラレル シリアル変換手段を有する。

【0025】本発明の第6の態様は、音源装置として、以下のような構成を有する。まず、それぞれが本発明の第5の態様で示される複数の音源集積回路が、前述した本発明の第5の態様における第2の出力手段と入力手段によって相互に縦続に接続される構成を有する。

【0026】そして、縦続に接続された各音源集積回路のうち、末端に接続された音源集積回路の第1の出力手段が出力楽音信号を出力するように構成される。

【0027】

【作用】本発明の第1の態様または第4の態様では、音源集積回路内の楽音信号生成手段によって生成される楽音信号は、混合手段によって、外部から入力手段を介して入力される楽音信号と混合することができる。そして、その混合出力に対して音源集積回路内の効果付加手段で音響効果を付加し、その出力を第1の出力手段を介して外部のD/A変換器などに出力することができる。

【0028】従って、音源集積回路内で生成される楽音信号と外部で生成される楽音信号に対して効率的に効果付加を行なうことができる。そして、効果付加のために使用される外部RAMやD/A変換器などの出力装置は、効果付加が行なわれる音源集積回路に対して1組接続すればよいため、システム規模の増大を抑えることができる。

【0029】本発明の第2の態様または第5の態様では、本発明の第1の態様の構成に加えて、混合手段の出力を外部に出力するための第2の出力手段が設けられている。この結果、上述の音源集積回路を本発明の第3の態様または第6の態様で示されるように縦続に接続することによって、同じ構成の音源集積回路を、楽音信号の生成のみを行なう音源集積回路と楽音信号の生成と音響効果の付加を行なう音源集積回路に機能分けさせることができ、音源集積回路の汎用性を高めることができる。

【0030】そして、この場合にも、効果付加のために使用される外部RAMやD/A変換器などの出力装置は、効果付加が行なわれる音源集積回路のみに対して1組接続すればよいため、システム規模の増大を抑えることができる。

【0031】また、本発明の第4～第6の態様では、楽音信号を複数のグループに分けて処理する機構を設けることにより、安価な音源集積回路によって、ステレオ処理などの機能の高い処理を実現することができる。

【0032】

【実施例】以下、図面を参照しながら本発明の実施例につき詳細に説明する。図1は、本発明を電子鍵盤楽器に

適用した実施例の全体構成図である。

【0033】図1で、まず、CPU103は、鍵盤101、スイッチ部102の状態を走査し、それらの走査結果に基づいて音源LSI104および105を制御する。音源LSI104はスレーブ用として使われ、CPU103からの演奏データに基づいて、各発音チャネルの楽音信号を生成し累算して、マスター用音源LSI105に転送する。

【0034】マスター用音源LSI105は、自LSI内で生成される各発音チャネルの楽音信号を累算し、その累算値とスレーブ用音源LSI104から転送される楽音信号の累算値とを加算し、その加算値に対して、内蔵のデジタル信号処理装置(DSP)とRAM106を用いてエフェクト処理を施す。エフェクト処理が施された楽音信号は、D/A変換器107でアナログ信号に変換され、それに基づく楽音がアンプ108を介してスピーカ109から放音される。

【0035】つぎに、図2は、本実施例における音源LSI104または105の全体構成図である。図2において、図1のCPU103から送られてくる演奏データや各種の制御信号は、インタフェース回路(CPU_IF)201を介して、楽音信号発生器(TG)202、パンニング回路(PAN)203、およびデジタル信号処理装置(DSP)206へ転送される。

【0036】ここで、TG202は、CPU103からの演奏データに応じて、16ポリフォニックの楽音信号を時分割で発生する。この楽音信号を発生する方式としては、種々の方式が考えられるが、例えばPCM音源方式の場合には、PCM波形メモリが、TG202に内蔵されるか、音源LSI104または105の外部に設けられる。

【0037】PAN203は、後述するように、エフェクト処理のために、TG202から送られる時分割楽音信号を4つのグループに分け、それらに重み付けをして累算し、時分割でDSP206に転送する。

【0038】シリアル変換器SPC204は、他のLSIから転送されるシリアル入力をパラレルデータに変換(以後、シリアル変換と呼ぶ)する変換器であり、またパラシリ変換器PSC205は、他のLSIへ転送されるパラレルデータをシリアルデータに変換(以後、パラシリ変換と呼ぶ)する変換器である。

【0039】DSP206は、PAN203から入力される楽音信号に対して、図1のRAM106をディレイ用のメモリとして、エフェクト処理を施し、その結果得られる楽音信号を図1のD/A変換器107へ出力する。

【0040】つぎに、図3、図4は、マスターおよびスレーブ用各音源LSI105、104、ならびにこれらのLSIに含まれるPAN203の全体構成を表すブロック図である。このマスターとスレーブの2つの音源LSI

は、同一構成を有し、両者が図3、図4のように接続点1、2、3で接続され、後述するゲート313やセレクト311が制御されることによって、各TG202で発生された楽音信号にエフェクト処理が施される。

【0041】以下、図3、図4の音源LSIの構成とエフェクト処理の動作について、図5および図6のタイムチャートを用いて説明する。まず、図3のスレーブ用の音源LSI104のTG202は、図1のCPU103からCPU_IF201を介して入力される演奏データに基づいて、図5の「WAVE」のW15、W0、W1、・・・などで示される波高値からなる16音ポリフォニックの楽音信号を時分割で発生する。なお、図5の「CLK」は動作クロック、「CNT」は演算タイミング用カウンタの値である。また、W0~W15までの1周が、1サンプリング区間に相当する。

【0042】つぎに、PAN203内のPANメモリ301は、16の各チャネル毎に、4つのグループL、R、E1、E2の各楽音信号に重み付けをするために記憶している各係数データを順次出力する。これらの係数データは、乗算器302において、図5の「MPY」で示されるように、TG202からの時分割の楽音信号とチャネル毎に累算され、その乗算結果がフリップフロップ(FF)303に格納される。

【0043】このFF303の出力は、加算器304で、ゲート306を介して入力される4段のシフトレジスタS/R305のフィードバック出力と、図5の「ADD」で示されるように加算される。

【0044】その結果、それぞれの楽音信号(W0~W15)の上記各グループ毎の累算結果L、R、E1、E2が、シフトレジスタS/R305から、図5の「S/R」で示されるように出力される。なお、ゲート306は、ゲート制御信号「T1」が図5に示すように変化するため、上記楽音信号(W0~W15)の累算結果がシフトレジスタS/R305から出力されるタイミングでは、それらの出力が加算器303へフィードバックされるのが阻止される。

【0045】つぎに、FF307、308、309、および310は、図5に示されるラッチクロックCLK、CKR、CKE1、CKE2によって、シフトレジスタS/R305から出力される各グループ毎の楽音信号の累算結果を、図5に示されるように取り込む。なお、これらのラッチクロックCLK、CKR、CKE1、CKE2は、「WAVE」のW0~W1のタイミングにかけて出力される。

【0046】つぎに、セレクトSEL311は、各フリップフロップ307~310に取り込まれた各グループの累算結果を、図6の「SEL」で示される制御信号SELに基づいて、1サンプリング区間(図5の「CNT」の0~3Fに対応する)を4分割した区間のそれぞれにおいて順次出力する。

【0047】このようにして出力される各累算結果は、バラシリ変換器205において、図6の「BCK」で示されるビットクロックに基づいて、図6の「SDATA」で示されるようにそれぞれ0~15の16ビットのシリアルデータに変換され、図4の構成で示される図1のマスター用音源LSI105に順次出力される。なお、図6のCLKとCNTは、図5におけるものと同じである。

【0048】つぎに、図4のマスター用音源LSI105において、図3のスレーブ用音源LSI104から送られてくる各累算結果のシリアルデータは、シリバラ変換器204において、図6の「WCK」で示されるワードクロックに基づいて、図6の「PDATA」で示されるバラレルデータに変換され、ゲート313に入力される。

【0049】ゲート313には、制御信号MODEとして論理「1」が与えられており、これによりゲート313が開かれている。従って、上述のようにバラレルデータに変換された図3のスレーブ用音源LSI104からの各累算結果は、マスター用音源LSI105自身が生成し累算した楽音信号と、加算器312で加算される。

【0050】マスター用音源LSI105において、TG202から出力される16ポリフォニックの各楽音信号が4つのグループL、R、E1、E2に累算される動作は、上述したスレーブ用音源LSI104における場合と同様である。

【0051】ただし、スレーブ用音源LSI104から出力される各累算結果がマスター用音源LSI105に転送される際に、図6の「SEL」と「PDATA」を比較すると理解されるように、1グループ（ワード）分の遅れが生じる。

【0052】その結果、同期して動作するマスターとスレーブの2つの音源LSIの楽音信号が加算器312で加算される場合、このままだと1グループ分だけタイミングがずれてしまう。そこで、マスター用音源LSI105においては、スレーブ用音源LSI104に比較して、1グループ分だけ遅れたタイミングで累算動作が実行される。そして、それを実現するために、マスター用音源LSI105においては、スレーブ用音源LSI104に比較して、PANメモリ301に、予め1グループタイミング分ずらされた係数書き込まれる。

【0053】図4において、マスター用音源LSI105の加算器312における加算結果は、DSP206とバラシリ変換器205に転送される。バラシリ変換器205の出力は図3のスレーブ用音源LSI104のシリバラ変換器204に送られる。しかし、図3のスレーブ用音源LSI104のゲート313には制御信号MODEとして論理「0」が与えられており、これによりゲート313が閉じられている。従って、マスター用音源LSI105からの上記加算結果はスレーブ用音源LSI

104には取り込まれない。

【0054】一方、図4のマスター用音源LSI105のDSP206に入力された上記加算結果は、ここで、外付けされた図1のRAM106をディレイ用メモリとして、エフェクト処理が施される。

【0055】図7は、DSP206内で行われるフェクト処理の機能ブロック図である。図7において、L、R、E1、E2は、前述したように、それぞれ4つのグループに分けられた楽音信号の累算値である。

10 【0056】まず、コーラス付加部701は、楽音信号E1に対してコーラス効果を付加して、L（左）成分の信号CLと、R（右）成分の信号CRを作成する。これら2つの信号は、それぞれ加算器705、706に送られるとともに、加算器702で加算される。

【0057】加算器702の出力は、加算器703において楽音信号E2と加算され、リバース付加部704に輸入され、ここでリバース効果が付加され、その結果、L（左）成分の信号RLと、R（右）成分の信号RRが作成される。

20 【0058】上述の2つの信号は、それぞれ加算器705、706で、コーラス付加部701からの信号CLおよびCRとそれぞれ加算され、それぞれの加算結果が加算器707、708に送られる。

【0059】このようにして、楽音信号E1、E2に対して、コーラス付加部701とリバース付加部704でエフェクト処理が施される。なお、図7において、楽音信号E1、E2の値の組み合わせにより、つぎの4通りのエフェクト処理が行われる。

【0060】すなわち、

30 (1) E1=0かつE2≠0 の場合は、リバースのみがかかる。

(2) E1≠0かつE2=0 の場合は、コーラスとリバースがかかる。

(3) E1≠0かつE2≠0 の場合は、コーラスとリバースがかかる。

(4) E1=0かつE2=0 の場合は、コーラスもリバースもかからない。

【0061】上述のE1、E2の各振幅値は、PANメモリ301に記憶されたE1、E2用の係数によって制御される。このようにして、エフェクト処理が施された信号は、加算器707、708で左成分の楽音信号L、あるいは右成分の楽音信号Rにそれぞれ加算され、それぞれの加算結果が、LチャンネルとRチャンネルの信号として、それぞれ図1のD/A変換器107に出力される。そして、それぞれの信号は、D/A変換器107でアナログ楽音信号に変換されて、アンプ108を介してスピーカ109より、エフェクト処理が施された楽音として放音される。

50 【0062】以上のようにして、スレーブ用音源LSI104は、自LSIで生成した楽音信号を累算して、マ

11

スター用音源LSI105に転送することができる。そして、マスター用音源LSI105は、スレーブ用音源LSI104からの累算出力と、自LSIで得た楽音信号の累算値とを加算し、それらの総和に対してエフェクト処理を施すことができ、その結果をD/A変換器に出力できる。

【0063】なお、本実施例では、2チップの音源LSIを用いたが、本発明はこのLSIのチップ数に限定されない。2チップ以上の音源LSIを用いる場合には、前述したように、各LSIのPANメモリに書き込まれる係数を予め順次ずらしておくことにより、各LSIの累算値を同期して加算することができる。

【0064】

【発明の効果】本発明の第1の態様または第4の態様によれば、音源集積回路内で生成される楽音信号と外部で生成される楽音信号に対して音源集積回路内の効果付加手段によって効率的に効果付加を行なうことが可能となる。

【0065】この場合、効果付加のために使用される外部RAMやD/A変換器などの出力装置は、効果付加が行なわれる音源集積回路に対して1組接続すればよいため、システム規模の増大を抑えることが可能となる。

【0066】本発明の第2の態様または第5の態様、ならびに第3の態様または第6の態様によれば、同じ構成の音源集積回路を継続に接続することが可能となり、各音源集積回路を、楽音信号の生成のみを行なう回路と楽音信号の生成と音響効果の付加を行なう回路に機能分けさせることができ、音源集積回路の汎用性を高めることが可能となる。従って、製造コストの低減を図ることが可能となる。

【0067】そして、この場合にも、効果付加のために使用される外部RAMやD/A変換器などの出力装置は、効果付加が行なわれる音源集積回路のみにに対して1組接続すればよいため、システム規模の増大を抑えることができる。

【0068】また、本発明の第4～第6の態様によれば、楽音信号を複数のグループに分けて処理する機構を設けることにより、安価な音源集積回路によって、ステレオ処理などの機能の高い処理を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例の全体構成図である。

【図2】音源LSIの全体構成図である。

【図3】スレーブ用音源LSI104、およびPAN203の構成図である。

【図4】マスター用音源LSI105、およびPAN203の構成図である。

【図5】PAN203のタイムチャートである。

【図6】バラシリ/シリバラ変換に関するタイムチャートである。

12

【図7】DSPにおけるエフェクト処理の機能ブロックの一例を示した図である。

【図8】1チップの音源LSIを使用した、従来の電子鍵盤楽器の全体構成図である。

【図9】2チップの音源LSIを使用した、従来の電子鍵盤楽器の全体構成図である。

【符号の説明】

101 鍵盤

102 スイッチ部

103 CPU

104 スレーブ用音源LSI

105 マスター用音源LSI

106 RAM

107 D/A変換器

108 アンプ

109 スピーカ

201 CPUインタフェース

202 トーンジェネレータ

203 PAN

204 シリバラ変換器

205 バラシリ変換器

206 DSP

301 PANメモリ

302、304 加算器

303、307、308、309、310 フリップフロップ

305 シフトレジスタ

306 ゲート

311 セレクタ

30 312 加算器

313 ゲート

701 コーラス付加部

702、703、705～708 加算器

704 リバース付加部

801 鍵盤

802 スイッチ部

803 CPU

804 音源LSI

805 RAM

40 806 D/A変換器

807 アンプ

808 スピーカ

901 鍵盤

902 スイッチ部

903 CPU

904、905 音源LSI

906、908 RAM

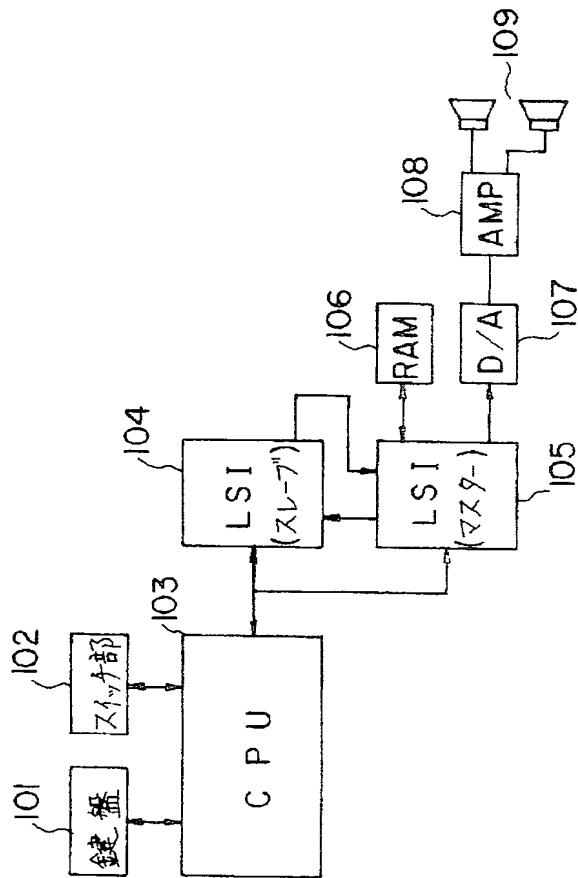
907、909 D/A変換器

910 アンプ

50 911 スピーカ

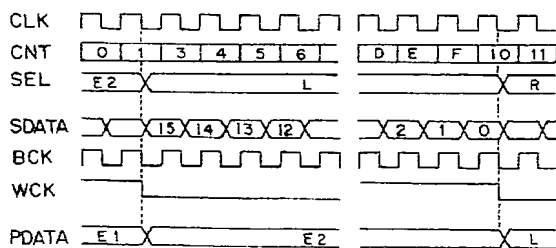
【図1】

本発明の実施例の全体構成図



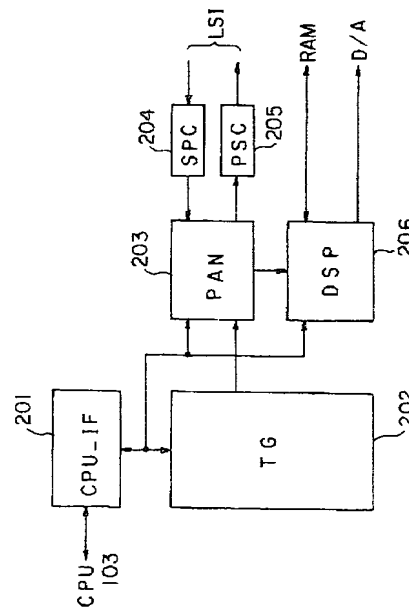
【図6】

パラシリ/シリパラ変換に関するタイムチャート



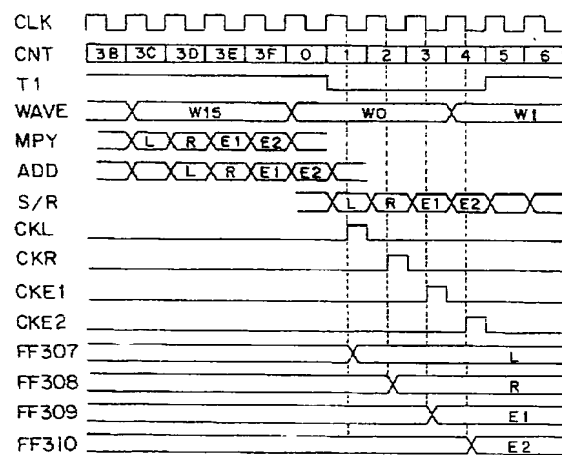
【図2】

音源LSIの全体構成図



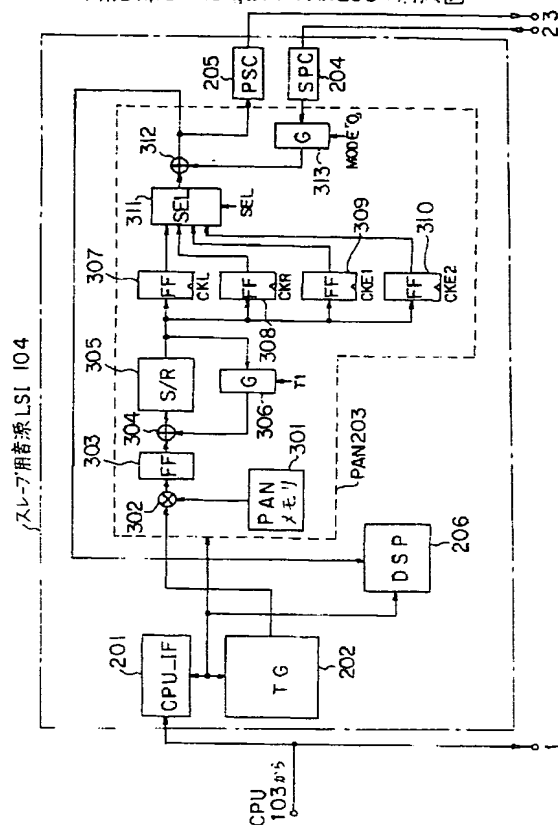
【図5】

PAN 203のタイムチャート



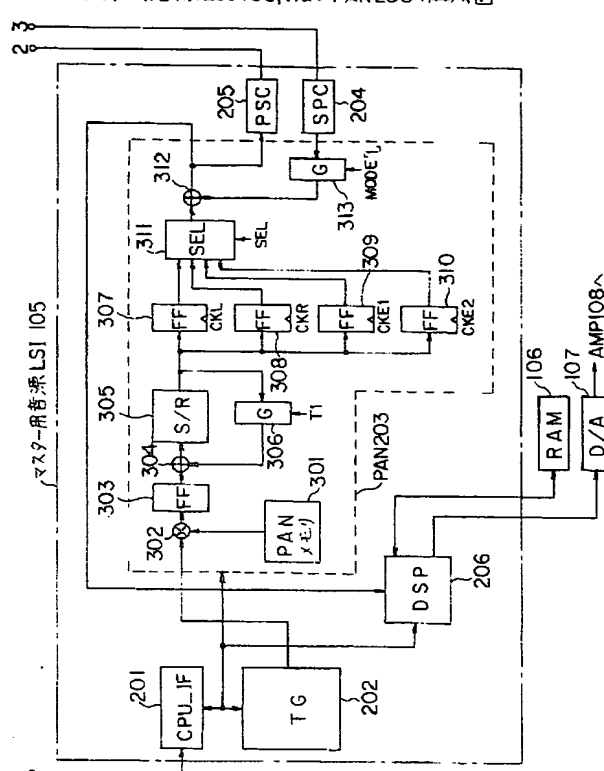
【圖3】

スレーブ用音源LSI 104,およびPAN203の構成図



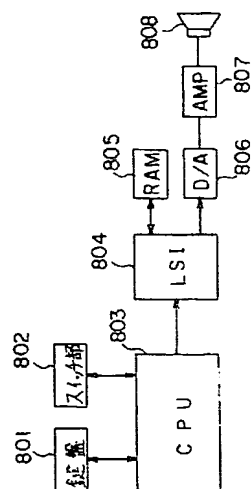
【圖4】

マスター用音源LSI 105, およびPAN203の構成図



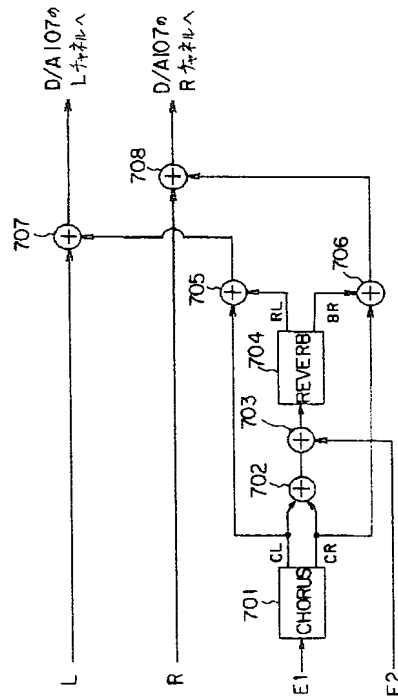
【图8】

1チップの音源LSIを使用した、従来の電子鍵盤楽器
の全体構成図



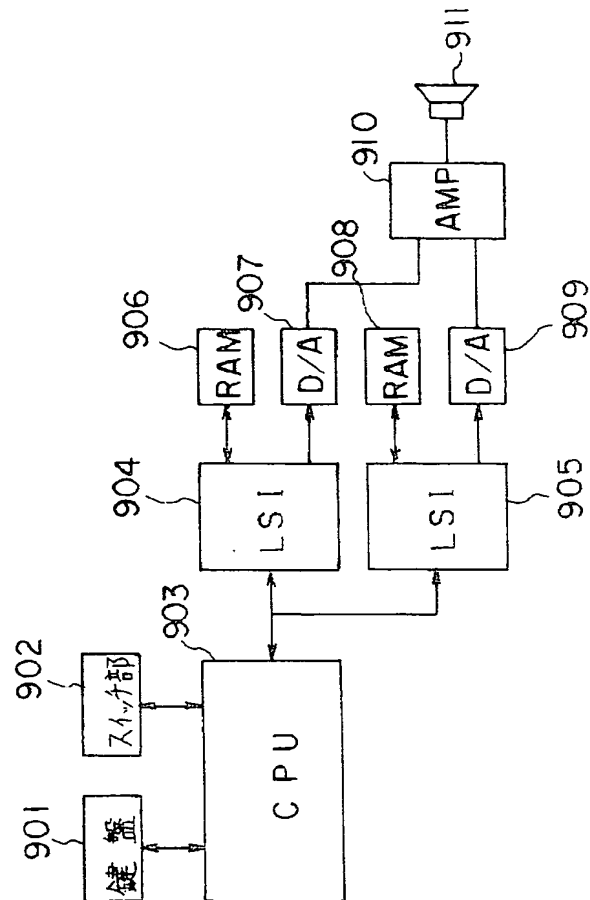
【図7】

DSPにおけるエフェクト処理の機能ブロック例を示した図



【図9】

2チップの音源LSIを使用した、従来の電子鍵盤
楽器の全体構成図



THIS PAGE BLANK (USPTO)